

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

**CLIPPEDIMAGE= JP404139882A**

**PAT-NO: JP404139882A**

**DOCUMENT-IDENTIFIER: JP 04139882 A**

**TITLE: THIN FILM TRANSISTOR**

**PUBN-DATE: May 13, 1992**

**INVENTOR-INFORMATION:**

**NAME**

**SEKIYA, KIYOUZOU**

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>NEC CORP</b>	<b>N/A</b>

**APPL-NO: JP02264356**

**APPL-DATE: October 1, 1990**

**INT-CL\_(IPC): H01L029/784**

**ABSTRACT:**

**PURPOSE:** To facilitate control of dimension so as to be fit to make a size very small, by forming a gate electrode with sidewall made of a polysilicon, at the end part of a wiring in a region of a source being prearranged, and by implanting impurity ions for a source and drain into the silicon oxide film having a uniform film thickness, with which the difference in level of the gate electrode is covered.

**CONSTITUTION:** After a silicon oxide film 4 to come into a gate oxide film is grown, a polysilicon 5 doped with phosphorus is deposited, and by forming the sidewall made of the polysilicon 5 doped with phosphorus only on the side face of the difference in level of a polysilicon 9 doped with phosphorus, a gate electrode is obtained. Then, a silicon oxide film 11 is deposited thereon, and ions are implanted therein, and further, after an interlayer insulation film

**8 is deposited, reflow-flattening is performed by annealing in the atmosphere**

**f nitrogen. At this time, a source 7 and a drain 7a are formed, by the implanted impurity ions being activated. Thereby, an offset is formed between**

**the drain 7a and the electrode 5, and the length 1 of the offset is equal to**

**the thickness of the oxide film 11. Therefore, by adjusting the thickness of**

**the oxide film 11, the length of the offset can be controlled easily.**

**COPYRIGHT: (C)1992,JPO&Japio**

## ⑫ 公開特許公報 (A)

平4-139882

⑬ Int.Cl.<sup>5</sup>

H 01 L 29/784

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月13日

9056-4M H 01 L 29/78  
9056-4M3 1 1 X  
3 1 1 S

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特願 平2-264356

⑰ 出願 平2(1990)10月1日

⑱ 発明者 関家恭三 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代理人 弁理士 内原晋

## 明細書

## 発明の名称

薄膜トランジスタ

## 特許請求の範囲

半導体基板の一主面に第1の絶縁膜が堆積され、前記第1の絶縁膜上的一部分に第1のポリシリコン膜が形成され、全面に第2のポリシリコン膜が形成され、全面に堆積された第2の絶縁膜を隔てて前記第1のポリシリコン膜によって形成されている段差に対して側壁となる第3のポリシリコン膜が形成され、全面に第3の絶縁膜が堆積され、前記第3のポリシリコン膜から前記第3の絶縁膜の厚さだけ離れて前記第2のポリシリコン膜中に形成された一導電型の不純物拡散領域を有することを特徴とする薄膜トランジスタ。

## 発明の詳細な説明

## (産業上の利用分野)

本発明は薄膜トランジスタに関し、特にポリシリコン膜をチャネル層とする薄膜トランジスタに関するものである。

## 〔従来の技術〕

従来技術による薄膜トランジスタ(TFT)について、第3図(a)～(c)を参照して説明する。

はじめに第3図(a)に示すように、P型シリコン基板1をスチーム酸化して厚さ5000Åの酸化シリコン膜2を成長する。

つぎにCVD法により厚さ600Åのノンドープポリシリコン膜3を堆積してから、ドライO<sub>2</sub>酸化によりゲート酸化膜となる酸化シリコン膜4を形成する。

つぎにCVD法により厚さ3000Åの焼ドープポリシリコンを成長してから、フォトリソグラフィおよび異方性エッチングによりゲート電極となる焼ドープポリシリコン5を形成する。

つぎに第3図(b)に示すように、ゲート電極5からドレイン予定領域の一部までを覆うフォト

レジスト 8 を形成する。

つぎにフォトレジスト 8 をマスクとして、燐を加速エネルギー 30 keV、注入量(ドース)  $3 \times 10^{10} \text{ cm}^{-2}$  イオン注入してソースードレイン予定領域およびゲート電極 5 に不純物を導入する。

つぎに第 3 図(c)に示すように、フォトレジスト 8 を除去したのち酸化雰囲気で熱処理して、先にイオン注入された不純物を活性化することにより、ソース 7、ドレイン 7a およびゲート電極 5 を形成する。

つぎに常圧 CVD 法により BPSG 膜からなる層間絶縁膜 8 を堆積する。

つぎに 800°C の窒素雰囲気で層間絶縁膜 8 をリフローして表面を平坦化する。

つぎにフォトリソグラフィおよび RIE 法によりコンタクトを開口したのち、ソースードレインおよびゲート電極配線となるアルミ配線 12 を形成して TFT の素子部が完成する。

#### 〔発明が解決しようとする課題〕

- 3 -

従来技術の TFT においては、ドレイン拡散層とゲート電極との間にノンドープポリシリコンからなる高抵抗のオフセット領域を設けてリーク電流を低減している。

ところがオフセット領域を設けるためのレジストバターンを形成する目合せ露光工程の追加によるコスト上昇の問題があった。

さらに目合せ余裕を必要とするため微細化が困難になるという問題があった。

#### 〔課題を解決するための手段〕

本発明の薄膜トランジスタは半導体基板の一面上に第 1 の絶縁膜が堆積され、前記第 1 の絶縁膜上の一部に第 1 のポリシリコン膜が形成され、全面に第 2 のポリシリコン膜が形成され、全面に堆積された第 2 の絶縁膜を隔てて前記第 1 のポリシリコン膜によって形成されている段差に対して側壁となる第 3 のポリシリコン膜が形成され、全面に第 3 の絶縁膜が堆積され、前記第 3 のポリシリコン膜から前記第 3 の絶縁膜の厚さだけ離れて前記第 2 のポリシリコン膜中に形成された一導電型

- 4 -

の不純物拡散領域を有するものである。

#### 〔実施例〕

本発明の第 1 の実施例について、第 1 図(a)～(g)を参照して説明する。

はじめに第 1 図(a)に示すように、P 型シリコン基板 1 に厚さ 4000 Å の酸化シリコン膜 2 を形成する。つぎに CVD 法により厚さ 4000 Å の燐ドープポリシリコン 9 および窒化シリコン膜 10 を堆積する。

つぎにフォトレジスト(図示せず)でソース予定領域を覆って窒化膜 10 および燐ドープポリシリコン 9 を異方性エッティングする。

つぎに第 1 図(b)に示すように、スチーム酸化により厚さ 1000 Å の酸化膜シリコン膜 10 a を形成する。

つぎに第 1 図(c)に示すように、熱燐酸により窒化膜 10 のみを選択除去してから、CVD 法により厚さ 800 Å のノンドープポリシリコン 3 を堆積する。

つぎに第 1 図(d)に示すように、ドライ O<sub>2</sub>

酸化によりゲート酸化膜となる厚さ 200 Å の酸化シリコン膜 4 を成長したのち、CVD 法により厚さ 5000 Å の燐ドープポリシリコン 5 を堆積する。

つぎに第 1 図(e)に示すように、異方性エッティングにより燐ドープポリシリコン 5 をエッチバックして、燐ドープポリシリコン 8 の段差の側面のみに燐ドープポリシリコン 5 のサイドウォールを形成する。これがゲート電極となる。

つぎに第 1 図(f)に示すように、CVD 法により厚さ 2000 Å の酸化シリコン膜 11 を堆積する。

つぎに酸化シリコン膜 11 を通して燐を加速エネルギー 180 keV、注入量(ドース)  $8 \times 10^{10} \text{ cm}^{-2}$  イオン注入する。

つぎに第 1 図(g)に示すように、厚さ 500 Å の BPSG 膜からなる層間絶縁膜 8 を堆積したのち、窒素雰囲気でアニールしてリフロー平坦化を行なう。このときイオン注入した不純物が活性化されてソース 7 およびドレイン 7a が形成さ

- 6 -

れる。

つぎにゲート電極 5 およびソースードレイン 7, 7 a にコンタクトを開口し、アルミ配線 12 を形成して TFT の素子部が完成する。

こうしてドレイン 7 a とゲート電極 5 との間にオフセットが形成される。オフセット長  $\delta$  は酸化膜 11 の膜厚とほぼ等しくなる。酸化膜の膜厚を調整することにより容易にオフセット長を制御することができる。ソース 7 はドレイン 7 a に比べて厚くなるため層抵抗が小さくなっている。

つぎに本発明の第2の実施例について、第2図(a)～(c)を参照して説明する。

本実施例では焼ドープポリシリコンの代りに酸化シリコン膜を用いてソース予定領域の段差を形成する。

はじめに第2図(a)に示すように、P型シリコン基板1上にCVD法により厚さ1.0μmの酸化シリコン膜2を堆積する。

つぎにソース予定領域上に形成したフォトレジスト(図示せず)をマスクとして酸化シリコン膜

- 7 -

2を深さ5000Åまで異方性エッティングする。

つぎに第2図(b)に示すように、全面にノンドープポリシリコン3、ゲート酸化膜となる酸化シリコン膜4、焼ドープポリシリコン5を順次堆積する。

つぎに第2図(c)に示すように、エッチバックによりリンドープポリシリコン5からなるゲート電極を形成し、CVD法により酸化シリコン膜11を堆積する。

つぎに焼を加速エネルギー100keV、注入量(ドース) $1 \times 10^{10} \text{ cm}^{-2}$ イオン注入してソース7およびドレイン7 aを形成する。

このあと層間絶縁膜形成、コンタクト開口、アルミ配線形成を経てTFTの素子部が完成する。

#### 〔発明の効果〕

ソース予定領域予定領域の配線端部にポリシリコンチャネルおよびゲート酸化膜を介してゲート電極をポリシリコンサイドウォールによって形成する。

さらにゲート電極の段差を覆うように堆積した

- 8 -

膜厚の一様な酸化シリコン膜を通してソースードレイン用の不純物のイオン注入を行なっている。

そのためソースードレインおよびオフセット領域をすべてセルフアラインで形成することができる。

寸法制御が容易で微細化に適し、目合わせ露光工程を削減することができるという効果がある。

#### 図面の簡単な説明

第1図(a)～(g)は本発明の第1の実施例を工程順に示す断面図、第2図(a)～(c)は本発明の第2の実施例を工程順に示す断面図、第3図(a)～(c)は従来技術によるTFTの製造方法を工程順に示す断面図である。

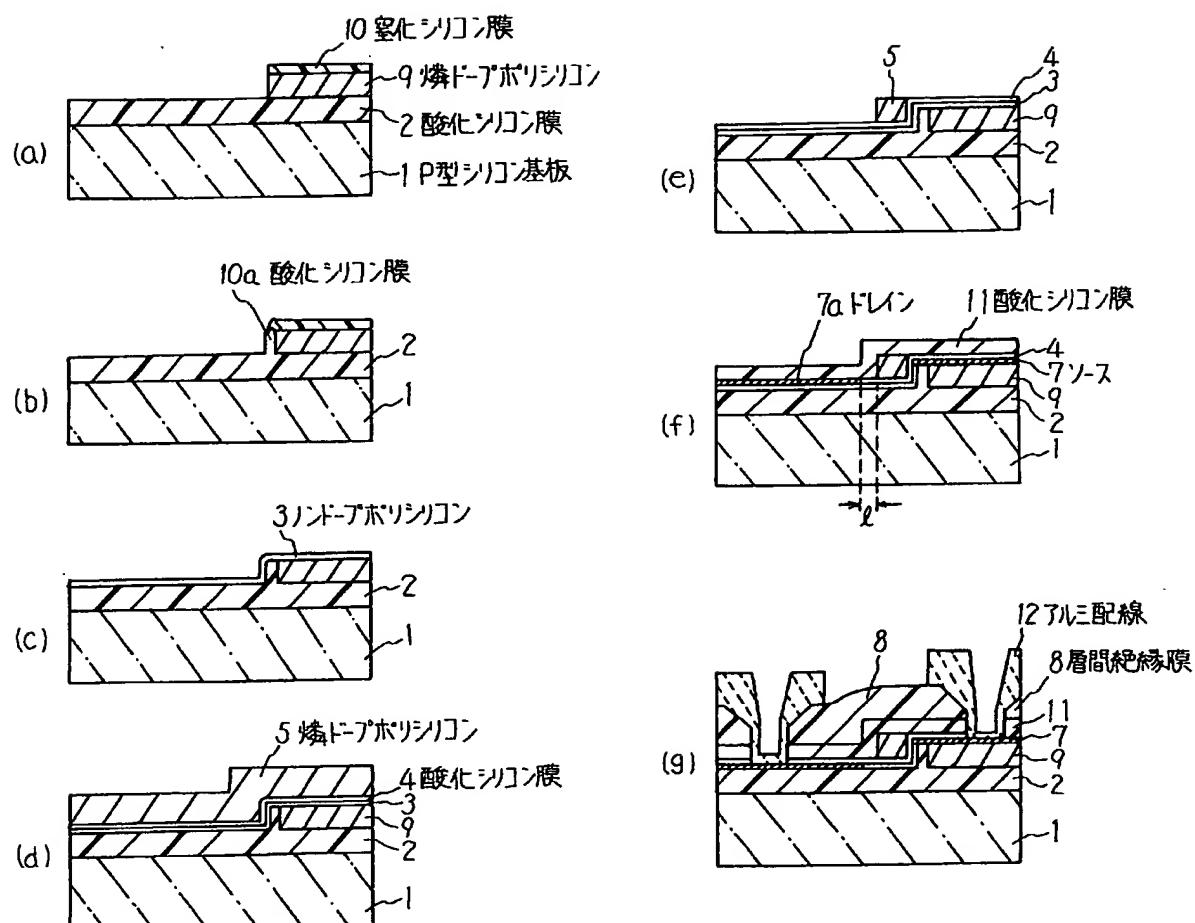
1…P型シリコン基板、2…酸化シリコン膜、3…ノンドープポリシリコン、4…酸化シリコン膜、5…焼ドープポリシリコン、6…フォトレジスト、7…ソース、7 a…ドレイン、8…層間絶縁膜、9…焼ドープポリシリコン、10…窒化シリコン膜、10, 11…酸化シリコン膜、12…

アルミ配線。

代理人弁理士内原晋

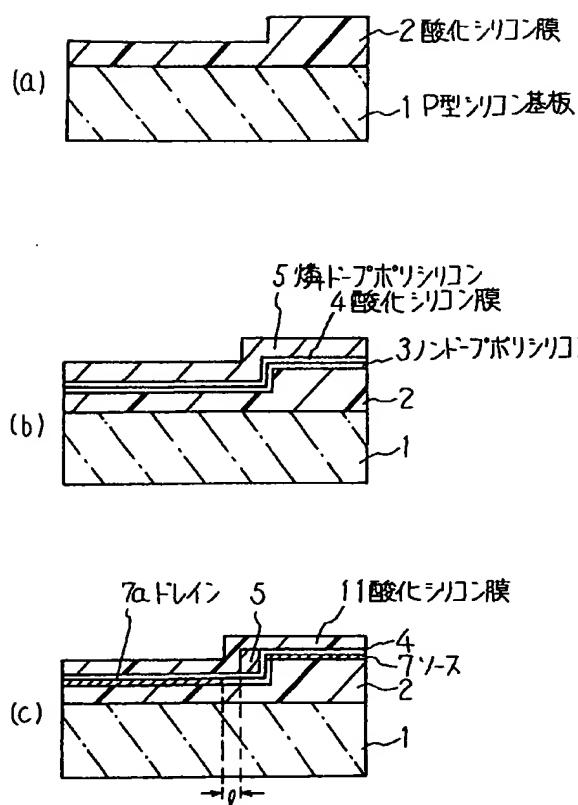
- 9 -

- 10 -

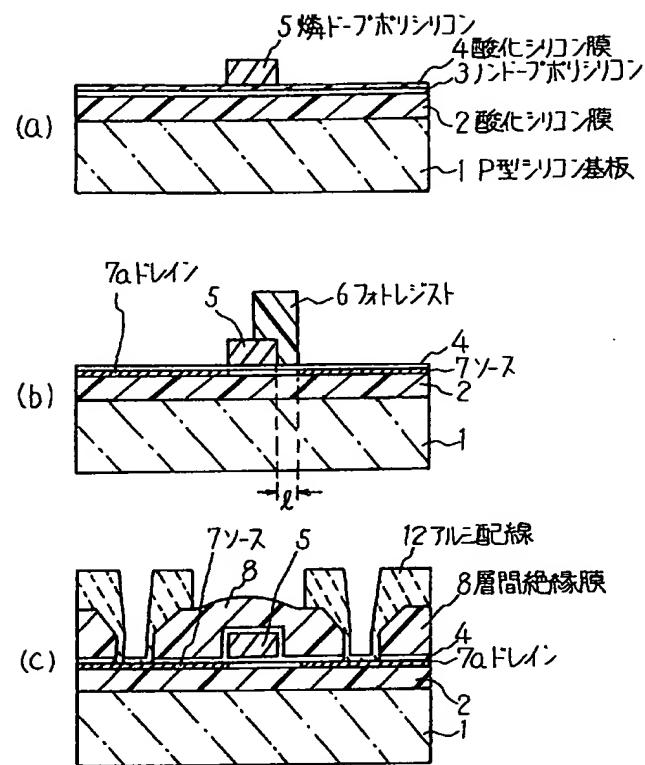


第 1 図

第 1 図



第 2 図



第 3 図